

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-050990**

(43)Date of publication of application : **25.02.1994**

(51)Int.Cl. **G01R 1/073**

H01L 21/66

(21)Application number : **04-203794**

(71)Applicant : **NEC CORP**

(22)Date of filing : **30.07.1992**

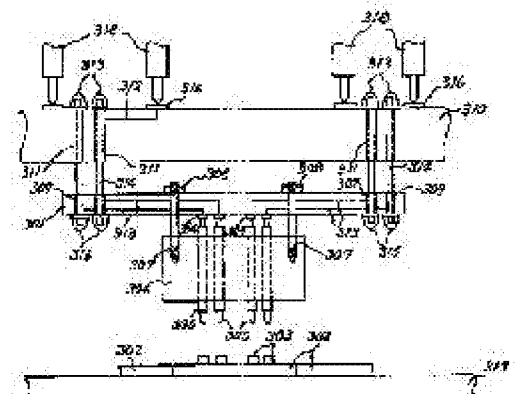
(72)Inventor : **KAZAMI TETSUO**

(54) PROBE CARD

(57)Abstract:

PURPOSE: To obtain a probe card corresponding to higher density of a pad pitch, multiple pin application and a pad configuration within a chip of a semiconductor integrated circuit.

CONSTITUTION: In a pad array of a chip to be inspected, a through hole 309 is provided on a substrate 301 for pitch expansion with a probe 305 connected to a metal seat 304 on a ceramic substrate or the like at a pitch larger than the pitch of the pad array and at a position the same as a through hole 311 provided on a multi-layer substrate 310 represented by a glass epoxy substrate or the like and both the substrates are positioned therebetween by making a metal pin 314 pierce through between both the through holes to connect. To achieve an adaptation to chips in diversified pad arrays, a pattern of the metal seat on the probe connection side of the substrate 301 for pitch expansion is altered to match the pad array involved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-50990-

(43) 公開日 平成6年(1994)2月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 1/073	E			
H 0 1 L 21/66	B	8406-4M		

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平4-203794

(22) 出願日 平成4年(1992)7月30日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 風見 哲夫

東京都港区芝五丁目7番1号 日本電気株
式会社内

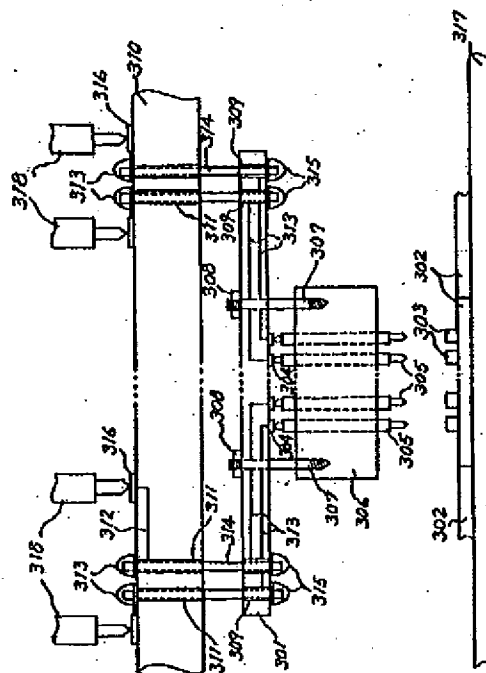
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 プローブカード

(57) 【要約】

【目的】 半導体集積回路のパッドピッチの高密度化、多ピン化、チップ内部のパッド配置に対応したプローブカードを容易に提供する。

【構成】 被検査チップのパッド配列で、セラミック基板等上の金属座304にプローブ305を接続したピッチ拡大用基板301に、パッド配列ピッチよりも広いピッチで、かつガラスエポキシ基板等に代表される多層基板310に設けたスルーホール311と同じ位置にスルーホール309を設け、両スルーホール間に金属ピン314を貫通させることによって、両基板間の位置決めを行い接続する。多様なパッド配置のチップに対応するためには、ピッチ拡大用基板のプローブ接続側金属座のパターンを、パッド配列に合わせて変更することによって対応可能となる。



1

【特許請求の範囲】

【請求項1】 第1の多層基板と第2の多層基板とを有し、半導体集積回路のウェハ検査のために電気的信号等をチップに授受するためのプローブカードであって、

第1の多層基板は、下面に被検査チップの電源・信号等のパッド配列と同配列の金属座を設け、これにプローブ針を接続し、上面に前記パッド配列のピッチよりも広いピッチで設けられた信号の電源用の金属座もしくはスルーホールを有するものであり、

第2の多層基板は、下面に前記金属座もしくはスルーホール配列と同配列の金属座もしくはスルーホールを備え、上面にテスト装置と接続するための金属座を有するものであることを特徴とするプローブカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はプローブカードに関し、特に高密度・多ピンの半導体集積回路用のプローブカードに関する。

【0002】

【従来の技術】 従来の半導体集積回路のウェハ検査のために電気的信号等をチップに授受するためのプローブカードは、図4に示すようにプローブカード基板401に斜めに取り付けられたタングステン、パラジウム等のプローブ針402をパッドに接触させる構造のものが一般的に使用されている。

【0003】 また図5に示すように、プローブカード基板401に金属突起や微細ピン、ボゴピン等のプローブ針502を垂直に取り付けることにより、プローブとしてパッドに接触させる構造のものがある。

【0004】

【発明が解決しようとする課題】 近年、半導体集積回路の微細化・高集積化・多ピン化に伴い、チップ内のパッドピッチが狭まる傾向にあり、このチップのウェハ検査を行うためのプローブカードも同様の傾向にある。このため、従来技術にて述べた図4の方式のプローブカードでは、ピン数の増加、パッドピッチの縮小に対し、針の取り付け位置精度が問題となり、より一層の多ピン化への対応は望めない状況にある。

【0005】 また、プローブカード基板に微細ピン等をプローブとして基板に垂直に取り付ける図5に示す方式のプローブカードにおいては、被検査チップのパッド配列と同一のプローブ配列が必要となり、プローブを垂直もしくは間接的に取り付けするための基板上の金属座の配列も同様となる。

【0006】 さらに、この金属座から検査装置までの信号の授受、チップの大消費電力化による電源ラインの強化のためには、プローブカード基板の微細加工及び多層化が必須となる。

【0007】 しかし、現在一般的に用いられているガラスエポキシ基板に代表される多層基板の加工技術では、

2

半導体技術によるLSIのパッドピッチと同等の微細ピッチでの加工は、非常に困難である。またLSIのパッドピッチでの加工が可能な多層基板として、積層セラミック基板等が挙げられるが、プローブに加える圧力に対する強度や、テスト装置側接続部のピッチを確保するための基板の大型化による基板コスト上昇により、テストコストの上昇につながるという問題点がある。さらに、被検査チップのパッド配列の多様化に対応するためには、個々のチップのパッド配列に応じた基板の設計、製作が必要となるため、開発期間の増大及びコストのより一層の上昇という問題も加わる。

【0008】 また、多ピン化、高集積化が進み、チップの内部にパッドが設けられたチップにおいては、パッド、テスト装置までの信号配線の高密度化が一次元から二次元的に進むため、この問題はより大きく顕在化してくる。

【0009】 本発明の目的は、パッドピッチの高密度化、多ピン化、チップ内部のパッド配置に対応したプローブカードを提供することにある。

【0010】

【課題を解決するための手段】 前記目的を達成するため、本発明に係るプローブカードは、第1の多層基板と第2の多層基板とを有し、半導体集積回路のウェハ検査のために電気的信号等をチップに授受するためのプローブカードであって、第1の多層基板は、下面に被検査チップの電源・信号等のパッド配列と同配列の金属座を設け、これにプローブ針を接続し、上面に前記パッド配列のピッチよりも広いピッチで設けられた信号の電源用の金属座もしくはスルーホールを有するものであり、第2の多層基板は、下面に前記金属座もしくはスルーホール配列と同配列の金属座もしくはスルーホールを備え、上面にテスト装置と接続するための金属座を有するものである。

【0011】

【作用】 被検査チップのパッド配列で、セラミック基板等上の金属座304にプローブ305を接続したピッチ拡大用基板301に、パッド配列ピッチよりも広いピッチで、かつガラスエポキシ基板等に代表される多層基板310に設けたスルーホール311と同じ位置にスルーホール309を設け、両スルーホール間に金属ピン314を貫通させることによって、両基板間の位置決めを行い接続する。

【0012】

【実施例】 次に本発明について図面を参照して説明する。

【0013】 (実施例1) 図1は、本発明の実施例1を示す構成図である。図1において、半導体集積回路のパッドピッチと同等の微細なピッチでの加工が可能な積層セラミック基板等のピッチ拡大用基板101は、一方の面に被測定チップ102のパッド103の配列と同一の

3
配列をなす金属座104を設け、その金属座104に垂直に直接もしくは間接的にプローブの接続を行う。

【0014】本図では、プローブ及び接続方法の一例として、両側可動のボゴピン105をプローブ針として取り付け部材106、107、108にて金属座104に接続した例を示している。

【0015】また、他のプローブ接続例としては、図2に示すとおり、微細ピン205を金属座204に直接ろう付け等によって接続した例が挙げられる。

【0016】ピッチ拡大用基板101は、他方の面に、被検査チップ102のパッド103の配列ピッチよりも広いピッチで金属座109を設ける。金属座109の配列は、一般に使用されているガラスエポキシ基板に代表される多層基板110に、信号、配線等のスルーホール111、内層配線112等を容易に加工可能なピッチまで広げて設ける。もしくは一般に市販されている汎用の多層プローブカード基板110に設けられた信号、電源配線用のスルーホール111の位置と同じ位置に設ける。

【0017】また、プローブ105側の金属座104と多層基板110側の金属座109とは、ピッチ拡大用基板101の内層配線113によって結線を行う。115は半田である。

【0018】次に、多層基板110側の金属座109に、金属ピン114を半田付け等により接続し、さらに多層基板110のスルーホール111に貫通させることによって、多層基板110とピッチ拡大用基板101の位置決めを行い、半田付け等によりスルーホール111に接続する。スルーホール111から多層基板110の内層配線112にて金属座116と接続しボゴピン118等を介してテスト等の測定装置と接続することにより、被検査チップと測定装置との間で信号、電源等の授受を可能とする。117はプローバチャックトップである。

【0019】また、多様な被検査チップ102のパッド103の配列に対応する場合には、多層基板110は変更なしに、ピッチ拡大用基板101のプローブ105接続側金属座104及び内層配線113のパターンを変更することによって対応が可能である。

【0020】(実施例2) 図3は、本発明の実施例2を示す構成図である。実施例1で設けた金属座109に代えて、ピッチ拡大用基板301にスルーホール309を設け、プローブ305接続側の金属座304と基板内の内層配線313にて接続する。302は被検査チップ、303はパッドである。

【0021】次に、スルーホール309と多層基板310のスルーホール311に金属ピン314を貫通させ、半田付け等によって各基板スルーホール309、311と金属ピン314の接続を行う。306、307、308は取り付け用部材、315は半田、316は金属座、

317はプローバチャックトップである。

【0022】本実施例と実施例1の相違点は、ピッチ拡大用基板301に設けたスルーホール309と多層基板310のスルーホール311間に金属ピン314を貫通させることによって、多層基板310とピッチ拡大用基板301の位置決めを行うことにある。

【0023】

【発明の効果】以上説明したように本発明は、被検査チップのパッド配列ピッチから、ガラスエポキシ基板に代表される安価な多層基板を容易に加工可能なピッチまで、ピッチを拡大するための微細加工可能なピッチ拡大用基板を設けたので、半導体集積回路のパッドピッチの縮小、高密度化、多ピン化に容易に対応可能とし、さらに、ピッチ拡大基板を変更することによって、様々なパッド配列のチップに対応可能となる。

【0024】また、このピッチ拡大用基板と多層基板との接続に際して、多層基板側のスルーホールに金属ピンを貫通させることによって、ピッチ拡大用基板と多層基板との位置決めを容易に可能とする。

【0025】前記結果によって、高密度、多ピン化に対応したプローブカードを容易に、かつ開発費の上昇を抑えて提供するという効果を有し、また多層基板に現在一般に市販されている汎用のプローブカード基板を流用する、コストの低減の効果がさらに図られる。

【図面の簡単な説明】

【図1】本発明の実施例1を示す構成図である。

【図2】実施例1の別のプローブ接続例を示す図である。

【図3】本発明の実施例2に係る構成図である。

【図4】従来のプローブカードを示す構成図である。

【図5】従来のプローブカードの別の例を示す構成図である。

【符号の説明】

101, 201, 301 ピッチ拡大用基板

102, 302 被検査チップ

103, 303 パッド

104, 204, 304 被検査チップと同配列の金属座

105, 205, 305 プローブ針

106, 206 取り付け用部材

107, 307 取り付け用部材

108, 308 取り付け用部材

109 多層基板側ピッチの金属座

309 多層基板側ピッチの金属座スルーホール

110, 310 多層基板

111, 311 スルーホール

112, 113, 312, 313 多層基板内層配線

114, 314 金属ピン

115, 315 半田

116, 316 多層基板上測定装置接続側金属座

(4)

特開平6-50990

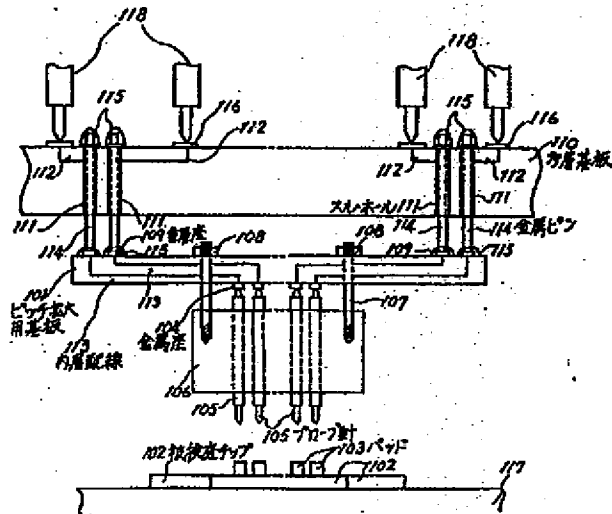
5

117, 317 ブローパチャックトップ
118, 318 テスト装置接続用ボギン

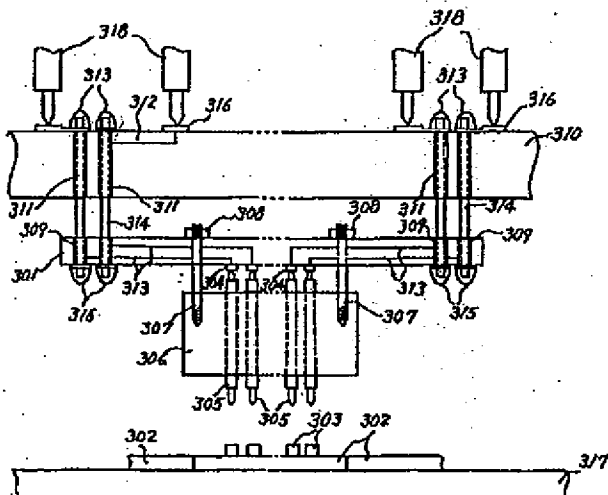
6

401, 501 ブローカード基板
402, 502 ブロー針

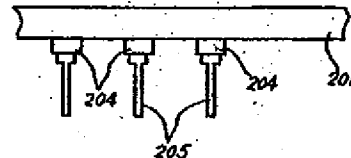
【図1】



【図3】



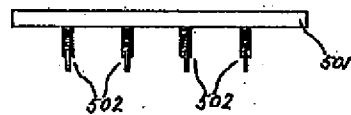
【図2】



【図4】



【図5】



[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]